

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-150248

(43)Date of publication of application : 02.06.1999

(51)Int.Cl.

H01L 27/108
H01L 21/8242

(21)Application number : 09-331211

(71)Applicant : NEC CORP

(22)Date of filing : 14.11.1997

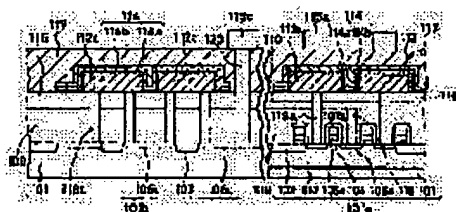
(72)Inventor : SAKAO MASATO

(54) SEMICONDUCTOR MEMORY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce an occupying area of a resistor element by performing connection to a neighboring diffused layer via an electrode for the resistor element and a contact for the resistor element, sequentially connecting contacts for a plurality of the resistor elements through an electrode for the resistor element and a diffusing layer, and constituting the resistor element.

SOLUTION: At the same time of formation of a capacitor contact hole 119a of a memory cell region 101a and a storage electrode 112a, a contact hole (RC) 119c for a resistor element and a resistor-element electrode (electrode) 112c are formed on an n⁺-type source/drain region 106 of a peripheral circuit region 101b, so as to be connected to the neighboring region. The resistor element is formed by connecting the region 106c, the capacitor contact hole 119a and the electrode 112c for the resistor element. An aluminum wiring electrode 115c is connected to a drawing region 106d via a contact hole 120 and further connected to the electrode 112c via the drawing region 106d and the RC 119c. The connection is performed from the electrode 112c via the RC 119c to the neighboring region 106c.



LEGAL STATUS

[Date of request for examination] 14.11.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3039495

[Date of registration] 03.03.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

[Claim(s)]

[Claim 1] The semiconductor device characterized by to have had the contact for resistance elements for connecting the electrode for resistance elements on the diffusion layer on the front face of a substrate, and the insulating layer prepared on the aforementioned substrate, to have connected with the next aforementioned diffusion layer through another contact for resistance elements linked to the aforementioned electrode for resistance elements and the aforementioned electrode for resistance elements which extend even in the position on the next diffusion layer, to have connected two or more contacts for resistance elements with the electrode for resistance elements one after another through a diffusion layer, and to constitute a resistance element.

[Claim 2] The semiconductor device according to claim 2 characterized by what the resistance element of the aforementioned circumference circuit section of the semiconductor device with which the aforementioned resistance element was equipped with the memory cell array equipped with two or more memory cells of stack type capacitor structure and the circumference circuit section is constituted, the aforementioned contact for resistance elements consists of the same material as capacity contact of the aforementioned stack type capacitor, and the aforementioned electrode for resistance elements consists of the same material as a part of electrode of the aforementioned stack type capacitor.

[Claim 3] The semiconductor device according to claim 2 characterized by using the pad layer for contact cash drawers formed in the interval section of the word line of the memory cell section equipped with the aforementioned stack type capacitor as a conductor film for resistance elements of the aforementioned circumference circuit section.

[Claim 4] The semiconductor device according to claim 1 characterized by having had the contact for cash drawers which connects a wiring layer and the diffusion layer for cash drawers on the aforementioned front face of a substrate, and considering the aforementioned diffusion layer for cash drawers, and the aforementioned electrode for

resistance elements as the composition connected by the aforementioned contact for resistance elements.

[Claim 5] the aforementioned contact for resistance elements -- connection of the aforementioned insulator layer -- a semiconductor device given in any 1 of claim 1 **** 4 which embed polycrystal silicon at a hole, are formed and are characterized by the bird clapper

[Claim 6] The semiconductor memory characterized by what a part of accumulation electrode in the memory cell equipped with the stack type capacitor and capacity contact are used as the electrode for resistance elements in the circumference circuit section, and resistance-element contact, and the high resistance element of the aforementioned circumference circuit section is formed for by connecting through a diffusion layer.

[Claim 7] The semiconductor memory characterized by having the resistance element which consists of structure which connected the contact which connects the lower electrode of the aforementioned stack type capacitor, and the diffusion layer of a memory cell transistor as a member for connection between the diffusion layer formed in the front face of a semiconductor substrate, and the lower electrode of the stack type capacitor formed into the layer insulation film, and arranged these in series.

[Claim 8] Stack type capacitor. The accumulation electrode which constitutes this. The cell array section which consists of an array of the memory cell containing the contact portion which connects the diffusion layer for memory cells, and the aforementioned accumulation electrode and the aforementioned diffusion layer for memory cells, and the circumference circuit section which contains a resistance element at least. It is the semiconductor memory equipped with the above, and the aforementioned resistance element carries out the series connection of the contact for resistance elements which connects the electrode for resistance which consists of same members as the contact portion which connects the aforementioned accumulation electrode, the aforementioned diffusion layer for memory cells, and the aforementioned accumulation electrode and the aforementioned diffusion layer for memory cells, a diffusion layer, and the aforementioned resistance electrode and the aforementioned diffusion layer, and is characterized by the bird clapper.

[Claim 9] The semiconductor memory according to claim 1 to which the aforementioned electrode for resistance is characterized by consisting of same members as a part of aforementioned accumulation electrode.

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] Especially this invention relates to the semiconductor device which contains (DRAM) in dynamic random access memory about a semiconductor memory.

[0002]

[Description of the Prior Art] In the semiconductor device containing an MOS transistor, when a voltage stabilizer including a feedback function like for example, voltage detection or an AD(analog-to-digital)-DA (digital analog) conversion circuit is contained, a resistance element is needed for the circuit which constitutes this semiconductor device.

[0003] It is desirable that high resistance is required for these resistance elements in order to reduce change of the current by the current which flows a resistance element, and there are few errors of the resistance for which it depends on the fluctuation of a manufacturing process (variation) further, for example, the resistance which is 1 M omega - about 10 M omega is demanded.

[0004] the 0.2um(s) (micrometer) design rule grade demanded these days is detailed -- with the semiconductor device containing the MOS transistor which turned, the conductor film used for a wiring material is in the inclination of the reduction in resistance, a gate electrode consists of metal polycide films a metal silicide film comes to carry out a laminating to N+ type polycrystal silicon film, and other lower layer wiring tends to consist of metal silicide films

[0005] For example, also in the semiconductor device containing DRAM which has the memory cell of a stack type capacitor, although the main purpose differs from low resistance-ization with adoption of refractory metals, such as a tantalum oxide (Ta 2O5) film, it is in the inclination transposed to the cascade screen of a titanium-nitride (TiN) film and a tungsten silicide (WSi) film, for example from the component N+ type polycrystal silicon film of the cell plate electrode of a memory cell.

[0006] Generally as a component of the above-mentioned resistance element, 2nd N+ type polycrystal silicon film separately prepared on the front face of a field insulator layer is desirable. In order to reduce relatively the error of the resistance for which it depends on fluctuation of a manufacturing process though semiconductor devices, such as an MOS transistor, are formed by 0.2um design rule in this case, the resistance element is formed with the line breadth of about 0.8 ums.

[0007]

[Problem(s) to be Solved by the Invention] In the above-mentioned common semiconductor device or the semiconductor device containing DRAM, it has the trouble that the occupancy area of a resistance element becomes a remarkable size. For

example, when resistance forms the resistance element which is 5 M Ω with N+ type polycrystal silicon film (the 2nd) whose layer resistance is 50 Ω /cm in about 150nm of thickness, this occupancy area is as follows. For example, if it has the gestalt which has the interval of 0.8 μ m and moved in a zigzag direction, an occupancy area required for this resistance element will be set to about two 128x103 μ m.

[0008] Therefore, this invention is made in view of the above-mentioned trouble, and the purpose is in offering the semiconductor device which reduces the occupancy area of a resistance element, maintaining relative reduction of the error of the resistance of the resistance element separation which carries out body dependence at fluctuation of a manufacturing process for achievement of detailed-izing of a semiconductor device.

[0009]

[Means for Solving the Problem] In order to attain the aforementioned purpose, the semiconductor device of this invention is characterized by to have had the contact for resistance elements for connecting the electrode for resistance elements on the diffusion layer on the front face of a substrate, and the insulating layer prepared on the aforementioned substrate, to have connected with the next diffusion layer through the aforementioned electrode for resistance elements, and another contact for resistance elements, to have connected two or more contacts for resistance elements with the aforementioned electrode for resistance elements one after another through the diffusion layer, and to constitute a resistance element.

[0010] In this invention, it consists of a resistance element of the aforementioned circumference circuit section of the semiconductor device with which the aforementioned resistance element was equipped with the memory cell array equipped with two or more memory cells of stack type capacitor structure, and the circumference circuit section, and the aforementioned contact for resistance elements is characterized by what the aforementioned electrode for resistance elements consists of the same material as the lower electrode of the aforementioned stack type capacitor in the same members as capacity contact of the aforementioned stack type capacitor.

[0011] In this invention, the pad layer for contact cash drawers formed in the interval section of the word line of the memory cell section equipped with the aforementioned stack type capacitor is used as a conductor film for resistance elements of the aforementioned circumference circuit section.

[0012]

[Embodiments of the Invention] The gestalt of operation of this invention is explained. this invention is set in the gestalt of the desirable operation. The diffusion layer on the front face of a substrate (106c of the cross section of drawing 1 , and the plan of drawing

3), It has the contact for resistance elements (119c of drawing 1 and drawing 3) for connecting the electrode for resistance elements on the layer insulation film prepared on the substrate (112c of drawing 1 and drawing 3). It connects with the next diffusion layer through another contact for resistance elements linked to the electrode for resistance elements which extends even in the position on the next diffusion layer, and this electrode for resistance elements (119c of drawing 1). Wiring (115c of drawing 1 and drawing 3), the contact for drawers (120 of drawing 1 and drawing 3), Two or more above-mentioned contacts for resistance elements (119c of drawing 1 and drawing 3) are connected with the electrode for resistance elements (112c of drawing 1 and drawing 3) one after another through a diffusion layer (106c of drawing 1 and drawing 3), and the resistance element of desired resistance consists of diffusion layers for drawers (106d of drawing 1 and drawing 3). This is enabled to increase the resistance to a superficial occupancy area, and it becomes easy to reduce the occupancy area of a resistance element.

[0013] In the gestalt of operation of this invention, it consists of a resistance element of the aforementioned circumference circuit section of the semiconductor device with which the aforementioned resistance element was equipped with the memory cell array equipped with two or more memory cells of stack type capacitor structure, and the circumference circuit section, the contact for resistance elements consists of the same material as capacity contact of the aforementioned stack type capacitor, and the electrode for resistance elements (112c of drawing 1) consists of the same material as the lower electrode (112a of drawing 1) of the aforementioned stack type

[0014] In the gestalt of operation of this invention, a desired resistance element can be formed by using the pad layer for contact cash drawers formed in the interval section of the word line of the memory cell section as a conductor film for resistance elements of the circumference circuit section, turning formation of a memory cell easily.

[0015] Moreover, it becomes possible to form resistance element sufficient in small area by attaching the upper surface and the side of a conductive layer of a conductive layer and this layer which constitute a word line for the conductor film for the resistance elements of the circumference circuit section so that a wrap insulator layer front face may be met.

[0016]

[Example] Next, the example of this invention is explained with reference to a drawing. Drawing 1 is a cross section for explaining the semiconductor memory of the 1st example of this invention, and shows the memory cell field and circumference circuit field of a semiconductor memory.

[0017] As for the memory cell field of a semiconductor memory, and 101b, in drawing 1, 101a is [the conductivity type of a circumference circuit field and 101] a p type silicide substrate.

[0018] The P well 102 is formed in field 101a in which a memory cell array etc. is formed, and the field oxide film 103 is formed in the isolation field of the front face of the P type silicon substrate 101 including the front face of the P well 102.

[0019] N well and P well (not shown) are formed in circumference circuit field 101b. In addition, it is formed in circumference circuit field 101b, and N well with the depth of junction deeper (it is another) than a **** well may be beforehand formed in memory cell field 101a. Moreover, an N type silicon substrate may be adopted instead of the P type silicon substrate 101.

[0020] Gate electrode 105a which serves as a word line through the gate oxide film 104 is formed in memory cell field 101a. This gate electrode consists of a polycide which consists of laminated structures of WSi or TiSi, and polycrystal silicon.

[0021] The gate electrode which is not illustrated [of the same composition as this gate electrode 105a] is formed also in circumference circuit field 101b.

[0022] The cell transistor which constitutes a memory cell consists of gate electrode 105a and n⁻ type source drain field 106a.

[0023] n⁺ type source drain field 106c of circumference circuit field 101b constitutes the transistor (not shown) of a circumference circuit field.

[0024] Gate electrode 105a is covered with oxide-film 107a in the upper surface and side, respectively. it connects with n⁻ type source drain field 106a at a memory cell -- as -- bit line contact -- a hole 118 and capacity contact -- a hole -- 119a is formed

[0025] bit line contact -- a bit line 110 is connected to a hole 118 this bit line contact -- a hole 118 and capacity contact -- polycrystal silicon is embedded at hole 119a

[0026] capacity contact -- accumulation electrode 112a is connected to hole 119a, and a cell capacitor is formed in it with the capacity insulator layer 113 and the cell plate 114

[0027] The cell plate 114 consists of a laminated structure of WSi film 114a and TiN film 114b. These structures are isolated between the 1st layer by the insulator layer 109, the insulator layer 116 between the 2nd layer, and the insulator layer 117 between the 3rd layer. Moreover, aluminum wiring 115 of memory cell field 101a becomes a component for choosing a word line.

[0028] capacity contact of these memory cell sections -- a hole -- the formation [of 119a and accumulation electrode 112a], simultaneously n⁺ type source drain field 106c top of circumference circuit field 10b -- the contact for resistance elements -- a hole -- 119c and electrode 112c for resistance elements form so that adjoining n⁺ type source drain field

may be connected in series

[0029] That is, accumulation electrode 112a and electrode 112c for resistance elements are the same material, and it is formed at the same process.

[0030] moreover, capacity contact -- a hole -- 119a and the contact for resistance elements -- a hole -- 119c and embedded polycrystal silicon are formed at the same process by the same material

[0031] thus, a resistance element -- n+ type source drain field 106c and capacity contact -- a hole -- 119c and electrode 112c for resistance elements are connected, and it is constituted

[0032] 106d of n+ type source drain fields for cash drawers and contact for connecting a resistance element with external wiring at drawing 1 -- a hole 120 and aluminum wiring 115c are shown

[0033] These connection relations are explained with reference to the plan of the resistance-element section shown in drawing 3. In addition, circumference circuit field 101b of drawing 1 is the cross section of the direction of an A-A line in drawing 3.

[0034] It connects through a hole 120. from aluminum wiring 115c -- pulling out -- business -- 106d of n+ type source drain fields -- contact -- 119c is minded. 106d of n+ type source drain fields for cash drawers -- leading -- the contact for resistance elements -- a hole -- 119c -- minding -- electrode 112c for resistance elements -- connecting -- moreover, the contact for resistance elements from this electrode 112 for resistance elements c -- a hole -- the contact for resistance elements which has a high resistance field by connecting with the next n+ type source drain field 106c -- a hole -- incorporating 119c to a resistance element continuously -- a facet -- resistance [****] is securable by the product

[0035] According to the first example of this invention, the not use of a superficial resistive layer but height direction in a device (perpendicular direction) like before can also be used as a resistance element, and has the operation effect of securing the length of an efficiency-resistance element.

[0036] For example, if it forms by 0.2 μ m design rule, the direction formed in the array (size relation) as the memory cell field formed simultaneously with the same array of n+ type source drain field 106c can reduce relatively the error of the resistance depending on fluctuation of a manufacturing process, and can also reduce occupancy area.

[0037] About reduction of the occupancy area of the resistance element which is the main purpose of this invention, this example does the following operation effects so.

[0038] The longitudinal direction of n+ type source drain field 106c serves as [an interval with 0.2 μ m(s) and the contiguity section] 0.8 μ m(s), and width of face serves as

0.2 μ m(s). Resistance of the contact for resistance elements is about 1k Ω m, and since layer resistance of n+ type source drain field 106c is 100 Ω m/**, as for the occupancy area of a 5-M Ω resistance element, layer resistance of 150 Ω m/**, and the electrode for resistance elements is set to about two 40x21 μ m by it.

[0039] Drawing 2 is a cross section for explaining the semiconductor memory by the second example of this invention.

[0040] In drawing 2, the same reference mark is given to the element the same as that of drawing 1, or equivalent. When drawing 2 is referred to, the difference between the second example of this invention and the first example shown in drawing 1 is a point that accumulation electrode 112a of the first example of the above is constituted from the second example by being replaced with 112f of cylindrical accumulation electrodes, and the structure with which 112g of electrodes for resistance elements constitutes 112d of plinths of the 112f of the aforementioned cylindrical accumulation electrodes.

[0041] Since layer resistance of the electrode for resistance elements explained in the first example of the above serves as 400 Ω ms / ** grade according to this second example, the occupancy area of a resistance element becomes reducible from the first example of the above further, for example, is set to about two 40x11 μ m.

[0042] furthermore, the contact for resistance elements -- since especially the resistance of the contact for resistance elements is changed by the concentration of polycrystal silicon and the heat treatment temperature which joins this embedded at the hole, it can constitute a resistance element from occupancy area [****] also to reduction of the element in chip level further with it

[0043]

[Effect of the Invention] As explained above, according to this invention, the effect which is the occupancy area of a resistance element of being reducible is done so.

[0044] The reason is as follows. Contact embedding the polycrystal silicon which connects the diffusion layer formed on the surface of the silicon substrate in this invention, the lower electrode of the stack type capacitor with which especially high resistance is obtained considering the lower electrode of the stack type capacitor formed into the layer insulation film as a member for connection, and a diffusion layer was connected, and the resistance element which consists of structure which arranged these [all] in series is prepared. This is enabled to increase the resistance to a superficial occupancy area, and it becomes easy to reduce the occupancy area of a resistance element.

[Brief Description of the Drawings]

[Drawing 1] It is the cross section showing the composition of the first example of this

invention.

[Drawing 2] It is the cross section showing the composition of the second example of this invention.

[Drawing 3] It is the plan showing the composition of the first example of this invention.

[Description of Notations]

101a Circumference circuit field

101b Memory cell field

101 Silicon Substrate

102 P Well

103 Field Oxide Film

104 Gate Oxide Film

105a Gate electrode

106a n⁻ type source drain field

106c n⁺ type source drain field

106d n⁺ type source drain field for cash drawers

107a Oxide film

109 Insulator Layer between 1st Layer

110 Bit Line

112a Accumulation electrode

113 Capacity Insulator Layer

114 Cell Plate

114a Titanium nitride film

114b Tungsten silicide film

115a, 115c Aluminum wiring

116 Insulator Layer between 2nd Layer

117 Insulator Layer between 3rd Layer

118 Bit Line Contact -- Hole

119a capacity contact -- a hole

120 Contact -- Hole

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-150248

(43) 公開日 平成11年(1999) 6月2日

(51) Int.Cl.⁸

H 0 1 L 27/108

21/8242

識別記号

F I

H 0 1 L 27/10

6 8 1 F

6 2 1 C

6 2 1 B

審査請求 有 請求項の数 9 F D (全 6 頁)

(21) 出願番号

特願平9-331211

(22) 出願日

平成9年(1997)11月14日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 坂尾 真人

東京都港区芝五丁目7番1号 日本電気株

式会社内

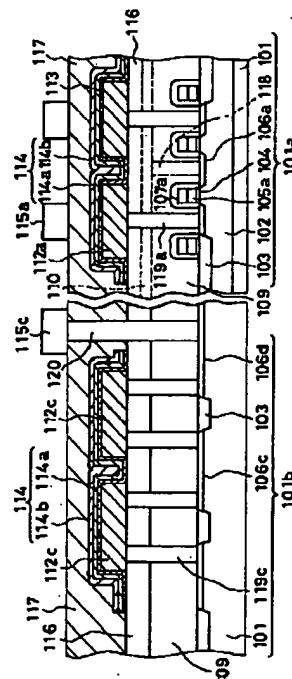
(74) 代理人 弁理士 加藤 朝道

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 DRAMの周辺回路領域に存在する抵抗素子の占有面積を縮小する半導体記憶装置の提供。

【解決手段】 シリコン基板の表面に形成された拡散層と層間絶縁膜中に形成されたスタック型キャパシタの下部電極を接続用の部材として、特に高抵抗が得られる、スタック型キャパシタの下部電極と拡散層をつなぐ(多結晶シリコンを埋め込んだ)コンタクトを接続し、これらすべてを直列に配列した構造からなる抵抗素子を設けている。これにより、平面的な占有面積に対する抵抗値を増大することが可能となり、抵抗素子の占有面積を縮小する事が容易になる。



【特許請求の範囲】

【請求項 1】基板表面の拡散層と前記基板上に設けられた絶縁層上の抵抗素子用電極とを接続するための抵抗素子用コンタクトを備え、隣接の拡散層上の位置にまで延在する前記抵抗素子用電極及び前記抵抗素子用電極に接続する別の抵抗素子用コンタクトを介して隣りの前記拡散層に接続し、複数の抵抗素子用コンタクトを抵抗素子用電極と拡散層を介して次々に連結して抵抗素子を構成したことを特徴とする半導体装置。

【請求項 2】前記抵抗素子が、スタック型キャパシタ構造のメモリセルを複数備えたメモリセルアレイと周辺回路部を備えた半導体装置の前記周辺回路部の抵抗素子を構成し、前記抵抗素子用コンタクトが、前記スタック型キャパシタの容量コンタクトと同一材料からなり、前記抵抗素子用電極が前記スタック型キャパシタの電極の一部と同一材料からなる、ことを特徴とする請求項 2 記載の半導体装置。

【請求項 3】前記スタック型キャパシタを備えたメモリセル部のワード線の間隔部に形成されるコンタクト引出し用パッド層を、前記周辺回路部の抵抗素子用導電体膜として用いることを特徴とする請求項 2 記載の半導体装置。

【請求項 4】配線層と前記基板表面の引出し用拡散層とを接続する引出し用コンタクトを備え、前記引出し用拡散層と前記抵抗素子用電極とを前記抵抗素子用コンタクトで接続する構成としたことを特徴とする請求項 1 記載の半導体装置。

【請求項 5】前記抵抗素子用コンタクトが前記絶縁膜の接続孔に多結晶シリコンを埋め込んで形成されてなることを特徴とする請求項 1 及至 4 のいずれかに記載の半導体装置。

【請求項 6】スタック型キャパシタを備えたメモリセルにおける蓄積電極の一部、及び容量コンタクトを、周辺回路部における抵抗素子用電極、及び抵抗素子コンタクトとして用い、拡散層を介して接続することで、前記周辺回路部の高抵抗素子を形成する、ことを特徴とする半導体記憶装置。

【請求項 7】半導体基板の表面に形成された拡散層と、層間絶縁膜中に形成されたスタック型キャパシタの下部電極との接続用の部材として、前記スタック型キャパシタの下部電極とメモリセルトランジスタの拡散層とをつなぐコンタクトを接続し、これらを直列に配列した構造からなる抵抗素子を備えたことを特徴とする半導体記憶装置。

【請求項 8】スタック型キャパシタと、これを構成する蓄積電極と、メモリセル用拡散層と、前記蓄積電極と前記メモリセル用拡散層とを接続するコンタクト部分と、を、含むメモリセルの配列からなるセルアレイ部と、抵抗素子を少なくとも含む周辺回路部と、を備えた半導体

装置において、

前記抵抗素子が、前記蓄積電極と、前記メモリセル用拡散層と、前記蓄積電極と前記メモリセル用拡散層を接続するコンタクト部分と同一部材より構成される抵抗用電極と、拡散層と、前記抵抗電極と前記拡散層を接続する抵抗素子用コンタクトと、を直列接続してなることを特徴とする半導体記憶装置。

【請求項 9】前記抵抗用電極が、前記蓄積電極の一部と同一部材より構成されることを特徴とする請求項 1 記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体記憶装置に関し、特にダイナミック・ランダム・アクセス・メモリに（DRAM）を含む半導体装置に関する。

【0002】

【従来の技術】MOS トランジスタを含む半導体装置において、この半導体装置を構成する回路に、例えば、電圧検出のようなフィードバック機能を含んだ定電圧回路、あるいは AD（アナログデジタル）-DA（デジタルアナログ）変換回路等が含まれる場合、抵抗素子が必要とされる。

【0003】これらの抵抗素子は、抵抗素子を流れる電流による電流の変動を低減するために、高抵抗が必要であり、さらには、製造工程の揺らぎ（バラツキ）に依存する抵抗値の誤差は少ないことが好ましく、例えば 1M Ω ～10M Ω 程度の抵抗値が要求されている。

【0004】昨今要求されている 0.2 μ m（マイクロメートル）設計ルール程度の微細化された MOS トランジスタを含む半導体装置では、配線材料に用いられる導電体膜は低抵抗化の傾向にあり、ゲート電極は N+ 型多結晶シリコン膜に金属シリサイド膜が積層してなる金属ポリサイド膜から構成され、他の下層配線は金属シリサイド膜から構成される傾向にある。

【0005】例えばスタック型キャパシタのメモリセルを有する DRAM を含む半導体装置においても、酸化タングステン（Ta₂O₅）膜等の高融点金属の採用に伴い、その主たる目的は低抵抗化とは異なるが、メモリセルのセルプレート電極の構成材料 N+ 型多結晶シリコン膜から、例えば、窒化チタン（TiN）膜とタングステンシリサイド（WSi）膜との積層膜に置き換えられる傾向にある。

【0006】上記抵抗素子の構成材料としては、一般的には、フィールド絶縁膜の表面上に別途設けた第 2 の N+ 型多結晶シリコン膜が好ましい。この場合、例えば MOS トランジスタ等の半導体装置を 0.2 μ m 設計ルールにより形成したとしても、製造工程の揺らぎに依存する抵抗値の誤差を相対的に低減するために、抵抗素子は例えば 0.8 μ m 程度の線幅で形成されている。

【0007】

【発明が解決しようとする課題】上記した一般的な半導体装置、もしくはDRAMを含んだ半導体装置において、抵抗素子の占有面積はかなりの広さになる、という問題点を有している。例えば、膜厚150nm程度で層抵抗が50Ω/□程度の(第2の)N+型多結晶シリコン膜により、抵抗値が例えば5MΩの抵抗素子を形成する場合、この占有面積は次の通りになる。例えば0.8μmの間隔を有して蛇行した形態を有しているならば、この抵抗素子に必要な占有面積は、例えば128×103μm²程度になる。

【0008】従って、本発明は、上記問題点に鑑みてなされたものであって、その目的は、半導体装置の微細化の達成のために、製造工程の揺らぎに体依存する抵抗素子分離の抵抗値の誤差の相対的な低減を維持しながら、抵抗素子の占有面積を縮小する、半導体装置を提供することにある。

【0009】

【課題を解決するための手段】前記目的を達成するため、本発明の半導体装置は、基板表面の拡散層と前記基板上に設けられた絶縁層上の抵抗素子用電極とを接続するための抵抗素子用コンタクトを備え、前記抵抗素子用電極及び別の抵抗素子用コンタクトを介して隣りの拡散層に接続し、複数の抵抗素子用コンタクトを前記抵抗素子用電極と拡散層を介して次々に連結して抵抗素子を構成したことを特徴とする。

【0010】本発明においては、前記抵抗素子が、スタック型キャパシタ構造のメモリセルを複数備えたメモリセルアレイと周辺回路部を備えた半導体装置の前記周辺回路部の抵抗素子からなり、前記抵抗素子用コンタクトが、前記スタック型キャパシタの容量コンタクトと同一部材となり、前記抵抗素子用電極が前記スタック型キャパシタの下部電極と同一材料からなる、ことを特徴とする。

【0011】本発明においては、前記スタック型キャパシタを備えたメモリセル部のワード線の間隔部に形成されるコンタクト引出し用パッド層を、前記周辺回路部の抵抗素子用導電体膜として用いる。

【0012】

【発明の実施の形態】本発明の実施の形態について説明する。本発明は、その好ましい実施の形態において、基板表面の拡散層(図1の断面図、図3の平面図の106c)と、基板上に設けられた層間絶縁膜上の抵抗素子用電極(図1、図3の112c)とを接続するための抵抗素子用コンタクト(図1、図3の119c)を備え、隣の拡散層上の位置にまで延在する抵抗素子用電極とこの抵抗素子用電極に接続する別の抵抗素子用コンタクト

(図1の119c)を介して隣りの拡散層に接続し、配線(図1、図3の115c)、引き出し用コンタクト

(図1、図3の120)、引き出し用拡散層(図1、図3の106d)から、上記複数の抵抗素子用コンタクト

(図1、図3の119c)を、抵抗素子用電極(図1、図3の112c)と拡散層(図1、図3の106c)を介して次々に連結して所望の抵抗値の抵抗素子を構成したものである。これにより、平面的な占有面積に対する抵抗値を増大することが可能となり、抵抗素子の占有面積を縮小する事が容易になる。

【0013】本発明の実施の形態においては、前記抵抗素子が、スタック型キャパシタ構造のメモリセルを複数備えたメモリセルアレイと周辺回路部を備えた半導体装置の前記周辺回路部の抵抗素子からなり、抵抗素子用コンタクトが、前記スタック型キャパシタの容量コンタクトと同一材料からなり、抵抗素子用電極(図1の112c)が前記スタック型キャパシタの下部電極(図1の112a)と同一材料からなる。

【0014】本発明の実施の形態においては、メモリセル部のワード線の間隔部に形成されるコンタクト引出し用パッド層を、周辺回路部の抵抗素子用導電体膜として用いることで、メモリセルの形成を容易化しながら、所望の抵抗素子を形成することができる。

【0015】また、周辺回路部の抵抗素子用の導電体膜を、ワード線を構成する導電層と同層の導電層の上面と側面を覆う絶縁膜表面に沿うように付設することにより、小面積で充分な抵抗素子を形成することが可能になる。

【0016】

【実施例】次に本発明の実施例について図面を参照して説明する。図1は、本発明の第1の実施例の半導体記憶装置を説明するための断面図であり、半導体記憶装置のメモリセル領域および周辺回路領域を示している。

【0017】図1において、101aは半導体記憶装置のメモリセル領域、101bは周辺回路領域、101は導電型がp型のシリサイド基板である。

【0018】メモリセルアレイ等が形成される領域101aにPウェル102が形成され、Pウェル102の表面を含めてP型シリコン基板101の表面の素子分離領域にはフィールド酸化膜103が形成されている。

【0019】周辺回路領域101bにはNウェル、Pウェル(図示せず)が形成される。なお、メモリセル領域101aには、周辺回路領域101bに形成されたNウェルより接合の深さの深い(別の)Nウェルをあらかじめ形成しておくこともある。また、P型シリコン基板101のかわりにN型シリコン基板を採用することもある。

【0020】メモリセル領域101aには、ゲート酸化膜104を介してワード線を兼ねるゲート電極105aが形成されている。このゲート電極はWSiまたはTiSiと多結晶シリコンの積層構造で構成されるポリサイドからなる。

【0021】このゲート電極105aと同じ構成の不図示のゲート電極が周辺回路領域101bにも形成されて

いる。

【0022】メモリセルを構成するセルトランジスタはゲート電極105aとn型ソース・ドレイン領域106aよりなる。

【0023】周辺回路領域101bのn型ソース・ドレイン領域106cは、周辺回路領域のトランジスタ(図示せず)を構成する。

【0024】ゲート電極105aはその上面と側面をそれぞれ酸化膜107aで被覆されている。メモリセルには、n型ソース・ドレイン領域106aと接続するようにビット線コンタクト孔118、容量コンタクト孔119aを形成している。

【0025】ビット線コンタクト孔118には、ビット線110が接続される。このビット線コンタクト孔118、および、容量コンタクト孔119aには、多結晶シリコンを埋めこんでいる。

【0026】容量コンタクト孔119aには、蓄積電極112aが接続され、容量絶縁膜113とセルプレート114と共にセルキャパシタが形成される。

【0027】セルプレート114は、WSi膜114aとTiN膜114bの積層構造からなる。これらの構造体は、第1層間絶縁膜109、第2層間絶縁膜116、第3層間絶縁膜117により隔絶されている。また、メモリセル領域101aのアルミ配線115aはワード線を選択するための構成要素となる。

【0028】これらのメモリセル部の容量コンタクト孔119aと蓄積電極112aの形成と同時に、周辺回路領域10bのn型ソース・ドレイン領域106cの上に抵抗素子用コンタクト孔119cと抵抗素子用電極112cが、隣接するn型ソース・ドレイン領域を直列に接続するように形成する。

【0029】すなわち、蓄積電極112aと抵抗素子用電極112cとは同一の材料であり、同一工程で形成される。

【0030】また容量コンタクト孔119aと抵抗素子用コンタクト孔119cは、及び埋め込みの多結晶シリコンは、同一の材料で同一工程で形成される。

【0031】このように、抵抗素子は、n型ソース・ドレイン領域106cと容量コンタクト孔119cと抵抗素子用電極112cを接続して構成される。

【0032】図1には、抵抗素子を外部の配線と接続するための、引出し用n型ソース・ドレイン領域106dとコンタクト孔120とアルミ配線115cが示されている。

【0033】これらの接続関係については、図3に示した抵抗素子部の平面図を参照して説明する。なお、図1の周辺回路領域101bは、図3において、A-A線方向の断面図である。

【0034】アルミ配線115cから引出し用n型ソース・ドレイン領域106dにコンタクト孔120を介

して接続し、引出し用n型ソース・ドレイン領域106dを通じて抵抗素子用コンタクト孔119cを介し、抵抗素子用電極112cに接続し、また、この抵抗素子用電極112cから抵抗素子用コンタクト孔119cを介して、隣のn型ソース・ドレイン領域106cに接続していくことで、高抵抗領域を有する抵抗素子用コンタクト孔119cを連続して、抵抗素子に取り込んでいくことにより、小面積で所望な抵抗値を確保することができる。

【0035】本発明の第一の実施例によれば、従来のような、平面的な抵抗層の利用ではなく、デバイス内の高さ方向(垂直方向)も抵抗素子として利用でき、実効的な抵抗素子の長さを確保するという作用効果もある。

【0036】例えば0.2 μ m設計ルールにより形成すると、n型ソース・ドレイン領域106cの配列は、同時に形成されるメモリセル領域と同じ配列(寸法関係)で形成した方が、製造工程の揺らぎに依存する抵抗値の誤差を相対的に低減でき、かつ占有面積も縮小する事ができる。

【0037】本発明の主たる目的である抵抗素子の占有面積の縮小について、本実施例は、次のような作用効果を奏する。

【0038】n型ソース・ドレイン領域106cの長手方向が0.8 μ m、幅が0.2 μ m、隣接部との間隔が0.2 μ mとなる。抵抗素子用コンタクトの抵抗が1k Ω 程度であり、n型ソース・ドレイン領域106cの層抵抗が150 Ω /□、抵抗素子用電極の層抵抗が100 Ω /□であることから、5M Ω の抵抗素子の占有面積は、例えば40 \times 21 μ m²程度になる。

【0039】図2は、本発明の第二の実施例による半導体記憶装置を説明するための断面図である。

【0040】図2において、図1と同一又は同等の要素には同一の参照符号が付されている。図2を参照すると、本発明の第二の実施例と、図1に示した第一の実施例との相違点は、前記第一の実施例の蓄積電極112aが、第二の実施例では円筒型の蓄積電極112fに置きかわっていることと、抵抗素子用電極112gが、前記円筒型の蓄積電極112fの台座112dを構成する構造物により構成されている点である。

【0041】この第二の実施例によれば、前記第一の実施例で説明した抵抗素子用電極の層抵抗が400 Ω /□程度となるため、抵抗素子の占有面積は、前記第一の実施例よりもさらに、縮小が可能となり、例えば、40 \times 11 μ m²程度となる。

【0042】さらに、抵抗素子用コンタクト孔に埋め込まれた、多結晶シリコンの濃度、これに加わる熱処理温度により、特に抵抗素子用コンタクトの抵抗値は、変化させられるため、さらに、チップレベルでの素子の縮小に対しても、所望な占有面積で抵抗素子を構成することができる。

【0043】

【発明の効果】以上説明したように、本発明によれば、抵抗素子の占有面積の縮小することができる、という効果を奏する。

【0044】その理由は次の通りである。本発明においては、シリコン基板の表面に形成された拡散層と層間絶縁膜中に形成されたスタック型キャパシタの下部電極を接続用の部材として、特に高抵抗が得られる、スタック型キャパシタの下部電極と拡散層をつなぐ、多結晶シリコンを埋め込んだコンタクトを接続し、これらすべてを直列に配列した構造からなる抵抗素子を設けている。これにより、平面的な占有面積に対する抵抗値を増大することが可能となり、抵抗素子の占有面積を縮小する事が容易になる。

【図面の簡単な説明】

【図1】本発明の第一の実施例の構成を示す断面図である。

【図2】本発明の第二の実施例の構成を示す断面図である。

【図3】本発明の第一の実施例の構成を示す平面図である。

【符号の説明】

101a 周辺回路領域

101b メモリセル領域

101 シリコン基板

102 Pウェル

103 フィールド酸化膜

104 ゲート酸化膜

105a ゲート電極

106a n-型ソース・ドレイン領域

106c n+型ソース・ドレイン領域

106d 引出し用n+型ソース・ドレイン領域

107a 酸化膜

109 第1層間絶縁膜

110 ビット線

112a 蓄積電極

113 容量絶縁膜

114 セルプレート

114a 窒化チタン膜

114b タングステンシリサイド膜

115a, 115c アルミ配線

116 第2層間絶縁膜

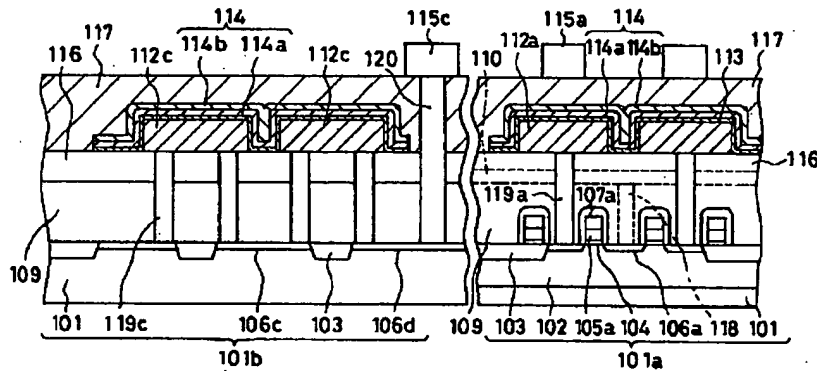
117 第3層間絶縁膜

118 ビット線コンタクト孔

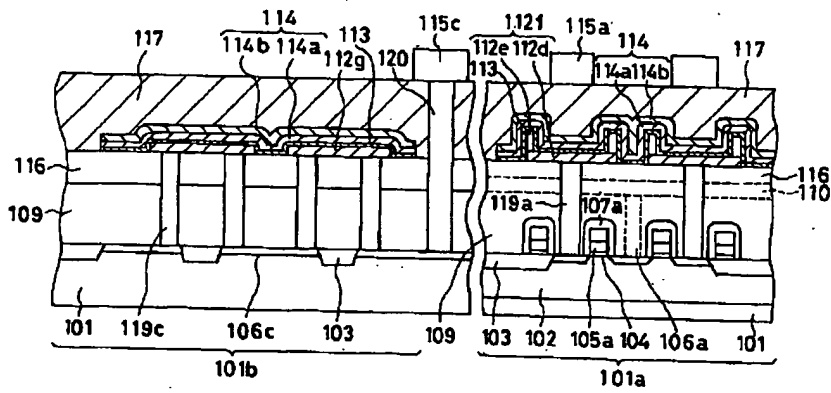
119a 容量コンタクト孔

120 コンタクト孔

【図1】



【図2】



【図3】

